Національний технічний університет України

«Київський політехнічний інститут імені Ігоря Сікорського»

Факультет інформатики та обчислювальної техніки

Кафедра обчислювальної техніки

**Лабораторна робота №4**

з дисципліни «Комп’ютерна схемотехніка» на тему

РОЗРОБЛЕННЯ СХЕМ КОМБІНАЦІЙНОЇ ЛОГІКИ

Виконав:

Поліщук М. І.

Група ІО-33

Номер залікової книжки: 3319

Київ – 2025

**Підготовка до роботи:**

331910 => 1100111101112

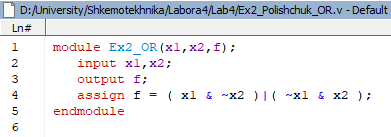
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| h6 | h5 | h4 | h3 | h2 | h1 |
| 1 | 1 | 0 | 1 | 1 | 1 |

|  |  |
| --- | --- |
| x3 x2 x1 | F4 |
| 0 0 0 | 1 |
| 0 0 1 | 1 |
| 0 1 0 | 0 |
| 0 1 1 | 1 |
| 1 0 0 | 0 |
| 1 0 1 | 1 |
| 1 1 0 | 0 |
| 1 1 1 | 0 |

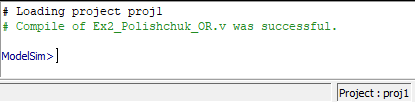
|  |  |
| --- | --- |
| h1 h5 h2 | Логічні елементи |
| 111 | І, АБО-НЕ |

**Хід роботи:**

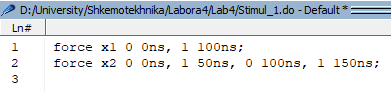
1. Створюємо проект.
2. Створюємо новий файл на мові Verilog з описом роботи пристрою.
3. Додаємо опис роботи пристрою:



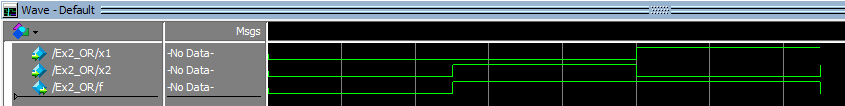
1. Виконую компіляцію проекту:



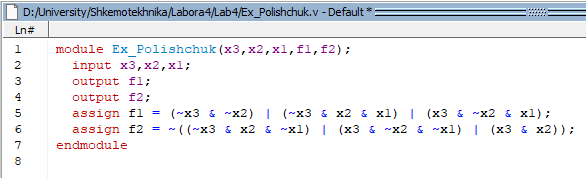
1. Створюю файл з вхідними тестовими сигналами:



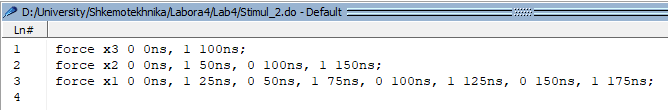
1. Запускаю моделювання пристрою:



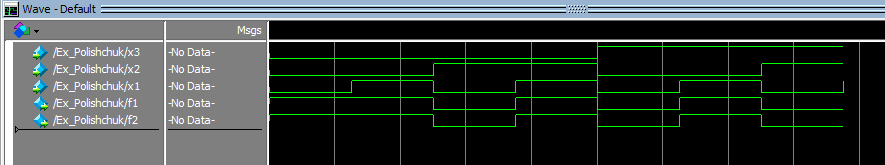
1. Створюю новий файл з описом роботи пристрою для функцій:



1. Створюю файл з вхідними сигналами для функцій:



1. Запускаю моделювання пристрою:



**Висновок:** було успішно виконано лабораторну роботу в середовищі моделювання ModelSim. Де я попрацював над кодом програм пристроїв на мові Verliog, успішно скомпілював проєкти, запустив симуляції та змоделював роботи за допомогою файлів із вхідними тестовими сигналами/стимулами. Всі результати підтвердились, пристрій працює вірно, лабораторна виконана успішно.